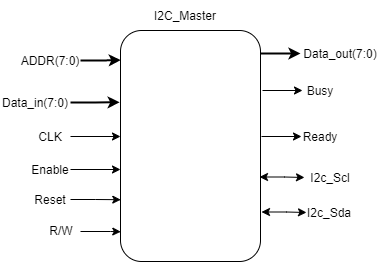
Đồ án 2: USING VERILOG TO DESIGN CORE I2C CONTROLLER.

Thời gian: Tuần 8

Nội dung: Specification của I2C Master

Sơ đồ khối I2C Master



Chức năng:

|  |  |  |
| --- | --- | --- |
| STT | Chức năng (Long) | Chân (Tùng) |
| 1 | Kiểm soát địa chỉ (7bit) | ADDR (7:0) |
| 2 | Cấp xung | CLK |
| 3 | Trạng thái sẵn sàng (I2C controller không hoạt động | Ready |
| 4 | Trạng thái bận (đường truyền đang có dữ liệu) | Busy |
| 5 | Đường truyền xung | SCL |
| 6 | Đường truyền dữ liệu | SDA |
| 7 | Cho phép I2C hoạt động | Enable |
| 8 | Chân cấp dữ liệu khi master muốn ghi vào slave (8-bit) | Data\_in (7:0) |
| 9 | Chân dữ liệu ra truyền cho vi điều khiển (8-bit) | Data\_out (7:0) |
| 10 | Reset quá trình truyền về trạng thái ban đầu | Reset |
| 11 | Kiểm soát quá trình đọc ghi dữ liệu | R/ |