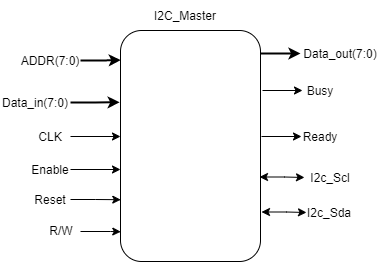
Đồ án 2: USING VERILOG TO DESIGN CORE I2C CONTROLLER.

Thời gian: Tuần 8

Nội dung: Block diagram and Specification của I2C Master

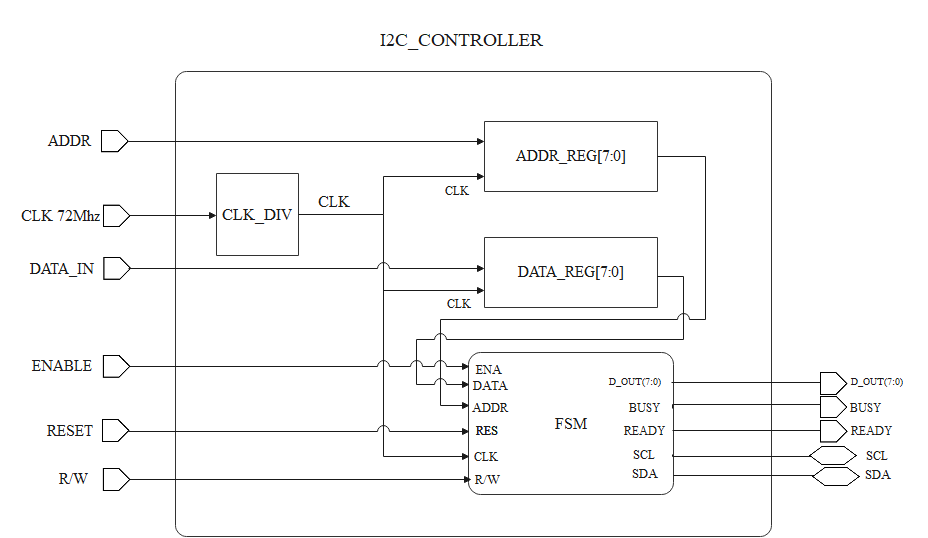
Sơ đồ khối I2C Master



Chức năng:

|  |  |  |
| --- | --- | --- |
| STT | Chức năng (Long) | Chân (Tùng) |
| 1 | Kiểm soát địa chỉ (7bit) | ADDR (7:0) |
| 2 | Cấp xung | CLK |
| 3 | Trạng thái sẵn sàng (I2C controller không hoạt động | Ready |
| 4 | Trạng thái bận (đường truyền đang có dữ liệu) | Busy |
| 5 | Đường truyền xung | SCL |
| 6 | Đường truyền dữ liệu | SDA |
| 7 | Cho phép I2C hoạt động | Enable |
| 8 | Chân cấp dữ liệu khi master muốn ghi vào slave (8-bit) | Data\_in (7:0) |
| 9 | Chân dữ liệu ra truyền cho vi điều khiển (8-bit) | Data\_out (7:0) |
| 10 | Reset quá trình truyền về trạng thái ban đầu | Reset |
| 11 | Kiểm soát quá trình đọc ghi dữ liệu | R/ |

Block Diagram



Chức năng từng khối:

* CLK\_DIV: Dùng để chia xung CLK đầu vào từ thạch anh ra các xung với tần số khác hau phù hợp với tốc độ truyền của module. Khi muốn truyền dữ liệu cho slave ta chỉ cần đưa lệnh cho CPU xuất tín hiệu 0/1 vào 8 input của thanh ghi...
* ADD\_REG: là một thanh ghi đồng bộ 8 bit input và 8 bit output dùng để lưu trữ dữ liệu địa chỉ của slave, Khi muốn truyền dữ liệu cho slave ta chỉ cần đưa lệnh cho CPU xuất tín hiệu 0/1 vào 8 input của thanh ghi để biết được địa chỉ slave nào cần truyền nhận.
* DATA\_REG: là thanh ghi 8 bit input và 8 bit output ngõ ra để lưu tạm thời dữ liệu cần truyền đi.
* FSM: là module máy trạng thái, tại dậy module sẽ thực hiện các chức năng và trạng thái để truyền nhận dữ liệu giữa master và slaver. Cụ thể là các trạng thái reset, enable, start, idle, read, write…